

질화물 반도체 발광소자 및 그 제조방법

기술분야

본 발명은 질화물 반도체에 관한 것이다. 상세히는 기판 위에 성장되는 GaN계 단결정층과 기판의 열팽창 계수와의 격자상수 차이에서 발생하는 결정결함을 줄이고, GaN계 단결정층의 결정성을 향상시킴으로써, 발광 소자의 성능을 향상시키고 신뢰성을 확보할 수 있는 질화물 반도체 발광소자 및 그 제조방법에 관한 것이다.

배경기술

일반적으로 GaN계 질화물 반도체는 그 응용 분야에 있어서 청색/녹색 LED의 광소자 및 MESFET(Metal Semiconductor Field Effect Transistor), HEMT (high electron mobility transistor) 등의 고속 스위칭, 고출력 소자인 전자소자에 응용되고 있다. 특히, 청색/녹색 LED 소자는 이미 양산화가 진행된 상태이며 전세계적인 수요는 지수함수적으로 증가되고 있는 상황이다.

이와 같은 GaN계 질화물 반도체 발광소자는 주로 사파이어 기판 또는 SiC 기판 위에서 성장된다. 그리고, 사파이어 기판 또는 SiC 기판 위에 저온의 성장 온도에서 $\text{Al}_x\text{Ga}_{1-y}\text{N}$ 의 다결정 박막을 버퍼층(buffer layer)으로 성장시킨다. 그리고, 고온에서 상기 버퍼층 위에 도핑되지 않은 GaN 층, 실리콘(Si)이 도핑된 n-GaN 층 또는 상기 구조의 혼합된 구조로 성장시켜 n-GaN 층을 제 1 전극층으로 한다. 그리고, 그 상부에 마그네슘(Mg)이 도핑된 p-GaN 층을 제 2 전극층으로 하여 질화물 반도체 발광소자가 제조된다. 또한, 발광층(다중양자우물구조 활성층)은 상기 n-GaN 제 1 전극층과 p-GaN 제 2 전극층 사이에 샌드위치 구조로 형성된다.

그런데, 이와 같은 구조를 구비하는 질화물 반도체 발광소자는 기판과 버퍼층 계면에서 발생하는 결정결함이 약 $10^8/\text{cm}^2$ 정도로 매우 높은 값을 가진다. 그로 인하여 질화물 반도체 발광소자의 전기적 특성 특히, 역바이어스 조건 하에서 누설전류가 증가하게 됨으로써, 소자의 신뢰성에 치명적인 영향을 미치는 문제점이 있다.

또한, 이러한 버퍼층과 기판 사이의 계면에서 발생하는 결정결함은 발광층의 결정성을 저하시키기 때문에, 질화물 반도체 발광소자의 발광효율을 떨어뜨리는 문제점이 있다.

한편, GaN계 질화물 반도체의 성능을 향상시키고, 신뢰성을 보다 확보하기 위하여, 현재 새로운 버퍼층에 대한 모색 및 GaN계 질화물 반도체의 제조방법에 대한 연구가 진행되고 있다.

발명의 개시

본 발명은, 결정결함을 줄이고 GaN계 단결정층의 결정성을 향상시킴으로써, 그 성능을 향상시키고 신뢰성을 확보할 수 있는 질화물 반도체 발광소자 및 그 제조방법을 제공한다.

5 또한 본 발명은, 단일양자우물구조의 활성층만으로도 실용적인 고휘도의 성능을 구현할 수 있는 질화물 반도체 발광소자 및 그 제조방법을 제공한다.

본 발명에 따른 질화물 반도체 발광소자는 기판; 상기 기판 위에 형성된 버퍼층; 상기 버퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층; 상기 제 1 In-doped GaN층 위에 형성된 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층; 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층 위에 형성된 제 1 전극층; 상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층; 상기 활성층 위에 형성된 인듐이 도핑된 제 2 In-doped GaN층; 상기 제 2 In-doped GaN층 위에 형성된 GaN층; 및 상기 GaN층 위에 형성된 제 2 전극층이 포함된다.

15 다른 측면에 따른 본 발명의 질화물 반도체 발광소자는 기판; 상기 기판 위에 형성된 버퍼층; 상기 버퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층; 상기 제 1 In-doped GaN층 위에 형성된 제 1 전극층; 상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층; 상기 활성층 위에 형성된 GaN층; 및 상기 GaN층 위에 형성된 제 2 전극층이 포함된다.

또 다른 측면에 따른 본 발명의 질화물 반도체 발광소자는 기판; 상기 기판 위에 형성된 GaN 버퍼층; 상기 버퍼층 위에 형성된 제 1 전극층; 상기 제 1 전극층 위에 형성되고, 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층, $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층이 포함되는 활성층; 상기 활성층 위에 형성된 GaN층; 및 상기 GaN층 위에 형성된 제 2 전극층이 포함된다.

본 발명에 따른 질화물 반도체 발광소자의 제조 방법은 기판 위에 GaN계 버퍼층을 형성하는 단계; 상기 버퍼층 위에 인듐이 도핑된 제 1 In-doped GaN층을 형성하는 단계; 상기 제 1 In-doped GaN층 위에 제 1 전극층을 형성하는 단계; 상기 제 1 전극층 위에, 빛을 방출하는 활성층을 형성하는 단계; 상기 활성층 위에 GaN층을 형성하는 단계; 및 상기 GaN층 위에 제 2 전극층을 형성하는 단계가 포함된다.

본 발명에 의하면, 질화물 반도체 발광소자의 결정결함을 줄이고 GaN계 단결정층의 결정성을 향상시킬 수 있다. 그로 인하여 발광소자의 성능을 향상시키고 신뢰성을 확보할 수 있는 장점이 있다.

또한 본 발명에 의하면, 단일양자우물구조의 활성층만으로도 실용적인 고휘도의 성능을 구현할 수 있는 장점이 있다.

도면에 관한 간단한 설명

도 1은 본 발명에 따른 질화물 반도체 발광소자의 제 1 실시 예의 적층 구조를 나타낸 도면.

5 도 2는 본 발명에 따른 질화물 반도체 발광소자의 제 2 실시 예의 적층 구조를 나타낸 도면.

도 3은 본 발명에 따른 질화물 반도체 발광소자의 제 3 실시 예의 적층 구조를 나타낸 도면.

10 도 4는 본 발명에 따른 질화물 반도체 발광소자의 제 4 실시 예의 적층 구조를 나타낸 도면.

발명의 최선의 실시예

이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 설명한다. 다만, 본 발명의 사상이 제시되는 실시예에 제한되지는 아니하고, 구성요소의 부가, 변경, 삭제등에 의해서 다른 실시예를 용이하게 제안할 수 있을 것이다.

제 1 실시예

도 1은 본 발명의 제 1 실시예에 따른 발광소자의 적층 구조이다.

20 도 1은 기판(102) 위에 버퍼층(buffer layer)(104)을 성장시키고, n-GaN(실리콘/인듐 동시 도핑)층을 제 1 전극층(108)으로 하고, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조(super lattice structure)를 갖는 층을 제 2 전극층(120)으로 성장시킨 질화물 반도체 발광소자의 단면 구조이다. 여기서, 상기 제 1 전극층(108) 및 제 2 전극층(120)에는 추후 진행되는 공정에서 각각 전극(미도시)이 형성되고, 이를 통하여 전압이 인가되게 된다.

25 또한, 본 발명에 따른 질화물 반도체 발광소자는, 인듐(In)이 소량 첨가된 GaN층(110)과, $\text{In}_x\text{Ga}_{1-x}\text{N}$ 우물층(well)(112) 및 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 장벽층(barrier)(114)이 적층되는 양자우물구조를 갖는 활성층(116)이, 상기 제 1 전극층(108)과 상기 제 2 전극층(120) 사이에 샌드위치 구조로 이중접합구조로 형성된다.

30 그리고, 상기 버퍼층(104)과 제 1 전극층(108) 사이에는 인듐(In)이 도핑된 GaN층(106)이 더 형성되고, 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 장벽층(barrier)(114)과 제 2 전극층(120) 사이에는 p-GaN층(118)이 더 형성된다.

본 실시예에 따른 질화물 반도체 발광소자의 제조방법을 설명한다.

먼저, 사파이어 기판(102) 위에 저온의 성장온도에서 GaN계 질화물 반도체의 버퍼층(104) 박막을 성장시킨다. 여기서, 저온의 성장온도에서 GaN계 질화물 반도체의 상기 버퍼층(104) 박막을 성장시킴에 있어, InGa_{1-x}N/GaN, Al_xIn_yGa_{1-x-y}N/InxGa_{1-x}N/GaN의 적층구조로 성장될 수 있다.

5 이와 같이, 상기 기판(102) 위에 상기 버퍼층(104)이 형성됨에 따라, 상기 기판(102) 위에 성장되는 GaN계 단결정 박막과의 열팽창계수 및 격자상수의 불일치에 의해서 발생하는 결정결함을 효과적으로 억제시킬 수 있기 때문에, 고품질의 GaN계 질화물 반도체를 성장시킬 수 있다.

상세하게는, 상기 GaN계 질화물 반도체 버퍼층(104)을 성장시키는 단계에서, 10 성장온도를 500°C~700°C로 하고, H₂, N₂ 캐리어 가스를 공급하면서 TMGa, TMI_n, TMA_l 소스(source) 가스를 유입시키고, NH₃ 가스를 유입시켜 질화물 반도체 버퍼층을 성장시킨다.

그리고, 상기 성장된 버퍼층(104) 위에 고온의 성장온도에서 인듐(In)이 도핑된 GaN층(106) 및 실리콘(Si)과 인듐(In)이 동시 도핑된 GaN층(108)을 15 성장시킨다. 여기서, 상기 실리콘(Si)과 인듐(In)이 동시 도핑된 GaN층(108)은 제 1 전극층으로 이용된다.

상세하게, 상기 질화물 반도체 GaN계 단결정 박막을 성장시키는 단계는, MOCVD 장비를 이용하여 900°C~1100°C에서, TMGa, TMI_n, TMA_l 소스 가스를 공급하여 단결정 GaN계 질화물 반도체 박막을 성장시키고, 도핑원으로는 실리콘 도핑원으로 20 SiH₄ 가스와 인듐 도핑원으로 TMI_n 소오스가 사용될 수 있다.

이후, 원하는 파장 대역의 빛을 방출하는 활성층(116)에는 단일양자우물층(single quantum well)이 포함된다. 상세하게, 상기 활성층(116)은 활성층의 내부 양자효율을 향상시키기 위하여 먼저, 인듐 함량이 낮은 InxGa_{1-x}N(0 < x ≤ 0.2) 층(110)을 10~500Å 범위 내에서 성장시킨다. 보다 바람직하게는, 25 50~300Å 범위 내에서 성장시킨다. 그리고, 상기 인듐 함량이 낮은 InxGa_{1-x}N층(110) 위에 인듐 함량이 서로 다른, InyGa_{1-y}N 우물층(112)과 InzGa_{1-z}N 장벽층(114)으로 구성된 하나의 양자우물층이 성장되어 활성층으로 사용된다.

이때, 상기 인듐 함량이 낮은 InxGa_{1-x}N 층(110)과, InyGa_{1-y}N(0 < y ≤ 0.35)우물층(112)와, InzGa_{1-z}N(0 < z ≤ 0.2)장벽층(114)으로 형성되는 30 하나의 양자우물구조로 구성된 활성층(116)의 성장단계에 있어, N₂, H₂+N₂ 캐리어 가스 및 NH₃ 분위기에서 TMGa, TMI_n, TMA_l 소스를 유입시켜 성장시킨다. 또한, 인듐 함량이 낮은 InxGa_{1-x}N 층(110)의 두께는 10~500Å 이며, 표면 성장 형상은 균일한 나선형상(spiral mode)으로 성장이 되도록 한다. 또한, 빛을 방출하는 상기

InGaN 우물층(112)과 InGaN 장벽층(114)의 두께는 각각 5~30Å 및 50~500Å 정도로 구성되며 성장온도는 700~800°C 정도이다.

또한, 고휘도 발광 다이오드의 성능 구현을 위해서는 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(110)의 표면에 균일하게 성장된 나선형상이 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층(114)까지 그 형태를 유지해야만 한다. 이와 같은 성장 조건을 만족시키는 경우에는, 다중양자우물구조의 활성층이 아닌 단일양자우물구조의 활성층 형성을 통해서도 실용적인 고휘도의 발광소자를 제조할 수 있게 된다. 물론, 다른 부분이 동일한 상태에서 다중양자우물구조가 적용될 수도 있다.

한편, 상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(110), 상기 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층(112), $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층(114)에 도핑되는 함량 분포는 다음과 같이 조절할 수도 있다. 즉, 상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(110)의 인듐 함량은 상기 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 장벽층(114)보다 낮도록 조절하며, 각 도핑되는 인듐의 함량이 $0 < x < 0.05$, $0 < y < 0.3$, $0 < z < 0.1$ 로 함량분포를 조절할 수도 있다.

이러한 과정에 의해서 빛을 방출하는 활성층을 성장시킨 후, 온도를 증가시켜 Mg이 도핑된 p-GaN 단결정층(118)을 H_2 , N_2 , H_2+N_2 와 NH_3 가스 분위기에서 성장시킨다. 상기 p-GaN 층(118)의 두께는 500~5000Å 이며, 이때 성장온도는 900~1020°C 범위에서 수행된다.

이후, 상기 p-GaN 층(118)을 성장시킨 후, 그 위에 제 2 전극층(120)으로 사용되는 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 0.2$)/ $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 0.2$) 초격자 구조의 층을 성장시킨다. 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}$ / $\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조는 제 2 전극층(120)의 전류 퍼짐을 효과적으로 수행하며, 상기 제 1 전극층(108)과 동일한 전극 금속을 사용하여 형성시킬 수 있다는 장점이 있다.

본 실시예에 따른 질화물 반도체 발광소자에 의하면, 상기 제 1 전극층(108)과 제 2 전극층(120)은 n형/n형의 전극층으로 형성된다. 따라서 본 실시예에 의하면, 종래 질화물 반도체 발광소자에서는 제 1 전극층과 제 2 전극층이 n형/p형으로 형성됨에 따라, 종래 제 2 전극층으로 사용되는 p-GaN층의 낮은 마그네슘(Mg) 도핑 효율에 의해서 발생되었던 높은 접촉저항과 그에 수반되는 전류 퍼짐층(current spreading layer)을 제거할 수 있다. 그리고, 상기 p-GaN층(118)과의 관계를 고려하면, 상기 제 1 전극층(108), p-GaN층(118), 제 2 전극층(120)은 n형/p형/n형의 접합 관계를 갖는 것으로 표현할 수도 있다.

여기서, 상기 제 2 전극층(120)의 두께는 각각 2~50Å 으로 교대로 구성되며 최대 200Å 미만으로 구성된다. 또한, 성장온도는 700~850°C 범위 내이며 N_2 , N_2+H_2 와 NH_3 가스 및 TMGa, TMIIn 소스를 유입하고 성장시켜, 내부 양자효율 및

동작 전압 특성이 우수한 이중 접합 구조의 고휘도 발광 다이오드를 성장시킬 수 있다.

제 2 실시예

도 2는 본 발명의 제 2 실시예에 따른 질화물 반도체 발광소자의 적층 구조이다.

도 2에 나타난 질화물 반도체 발광소자의 기본적인 적층 구조는 도 1에 나타난 제 1 실시예와 유사하다. 다만, 본 실시예에 따른 질화물 반도체 발광소자는, 기판(202)과 실리콘/인듐 도핑된 GaN 단결정층(212)과의 격자상수 및 열팽창 계수의 차이에서 발생하는 결정결함을 최소화하기 위하여, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조를 갖는 층(210)이 제 1 전극층(212) 밑에 추가로 삽입된 이중접합 구조를 갖는다.

이와 같은 구조는 기판(202)과 저온의 버퍼층(204)에서부터 전파되는 전위밀도를 감소시켜 발광소자의 역방향 파괴전압(reverse breakdown voltage, v_{br})을 개선하여 발광소자의 신뢰성을 향상시킬 수 있다.

본 발명에 따른 질화물 반도체 발광소자의 제 2 실시예의 구조를 간략하게 설명하면 다음과 같다.

상기 기판(202) 위에 버퍼층(buffer layer)(204)을 성장시키고, $n\text{-GaN}$ (실리콘/인듐 동시 도핑)층을 제 1 전극층(212)으로 하고, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조(super lattice structure)를 갖는 층을 제 2 전극층(224)으로 성장시킨다. 여기서, 상기 제 1 전극층(212) 및 제 2 전극층(224)에는 추후 진행되는 공정에서 각각 전극(미도시)이 형성되고, 이를 통하여 전압이 인가되게 된다.

또한, 본 발명에 따른 질화물 반도체 발광소자는, 인듐(In)이 소량 첨가된 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(214)과, $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층(well)(216) 및 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층(barrier)(218)이 적층되는 단일양자우물 구조를 갖는 활성층(220)이, 상기 제 1 전극층(212)과 상기 제 2 전극층(224) 사이에 샌드위치 결합구조로 구성된 이중접합 구조를 갖는다.

그리고, 상기 버퍼층(204)과 제 1 전극층(212) 사이에는 인듐(In)이 도핑된 GaN층(206)과, 도핑되지 않은 GaN층(208)이 형성된다. 그리고, 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층(barrier)(218)과 제 2 전극층(224) 사이에는 $p\text{-GaN}$ 층(222)이 더 마련된다.

이상과 같은 구조를 갖는 질화물 반도체 발광소자의 제조방법은 제 1 실시예에서 설명된 바와 유사하므로, 여기서는 그 제조방법에 대한 설명은 생략하기로

한다.

본 실시예에 의해서, 기판(202) 및 버퍼층(204)으로부터 전파되는 전위밀도를 감소시켜, 발광소자의 역방향 파괴전압(reverse breakdown voltage, V_{br})을 개선할 수 있고, 종국에는 발광소자의 신뢰성을 향상시킬 수 있다.

5

제 3 실시예

한편, 도 3은 본 발명의 제 3 실시예에 따른 질화물 반도체 발광소자의 적층 구조이다.

도 3을 참조하면, 본 실시예는 대부분에 있어서는 제 1 실시예와 유사하다. 다만, p-GaN층(320)과 $In_zGa_{1-z}N$ 장벽층(314) 사이에 인듐(In)이 도핑된 GaN층(318)이 추가로 삽입된 이중접합 구조를 갖는다.

이와 같이, 상기 인듐 도핑된 GaN층(318)이 추가로 형성됨으로써, 상기 p-GaN층(320)에서 도핑원으로 사용된 마그네슘(Mg) 원자의 내부 확산(In-diffusion) 현상을 억제시키고 특성을 향상시킬 수 있게 된다. 여기서 상기 인듐 도핑된 GaN층(318)은 그 두께를 100\AA 이하로 성장시키도록 한다.

제 3 실시예에 따른 반도체 발광소자의 제조 방법을 설명한다. 기판(302) 위에 버퍼층(buffer layer)(304)을 성장시키고, n-GaN(실리콘/인듐 동시 도핑)층을 제 1 전극층(308)으로 하고, $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조(super lattice structure)를 갖는 층을 제 2 전극층(322)이 포함된다. 여기서, 상기 제 1 전극층(308) 및 제 2 전극층(322)에는 추후 진행되는 공정에서 각각 전극(미도시)이 형성되고, 이를 통하여 전압이 인가되게 된다.

또한, 본 발명에 따른 질화물 반도체 발광소자는, 인듐(In)이 소량 첨가된 $In_xGa_{1-x}N$ 층(310)과, $In_yGa_{1-y}N$ 우물층(well)(312) 및 $In_zGa_{1-z}N$ 장벽층(barrier)(314)의 한 쌍으로 이루어진 단일양자우물 구조를 갖는 활성층(316)이 상기 제 1 전극층(308)과 상기 제 2 전극층(322) 사이에 샌드위치 결합구조로 구성된 이중접합 구조를 갖는다.

그리고, 상기 버퍼층(304)과 제 1 전극층(308) 사이에는 인듐(In)이 도핑된 GaN층(306)이 포함되고, 상기 $In_zGa_{1-z}N$ 장벽층(barrier)(314)과 제 2 전극층(322) 사이에는 p-GaN층(320)과, 인듐이 도핑된 GaN층(318)이 더 포함된다.

본 실시예와 같이, 인듐이 도핑된 GaN층(318)이 추가로 형성됨으로써, 상기 p-GaN층(320)에서 도핑원으로 사용된 마그네슘(Mg) 원자의 내부 확산(In-diffusion) 현상을 억제시킬 수 있다. 그리하여, 발광소자의 특성을 향상시킬 수 있다.

제 4 실시예

도 4는 본 발명의 제 4 실시예에 따른 질화물 반도체 발광소자의 적층 구조이다.

제 4 실시예는 많은 부분에 있어서, 상기 제 3 실시예와 동일하고, 다만, 상기 인듐(In)이 도핑된 GaN층(406)과, 상기 기판(404)과의 격자상수 및 열팽창 계수의 차이에서 발생하는 결정결함을 최소화 시키기 위하여, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조를 갖는 층(408)과, 인듐(In)이 도핑된 GaN층(412)과, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층(414)을 더 형성시키는 것에 특징이 있다. 또한, 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조를 갖는 층(408)은 기판(402)과 저온의 버퍼층(404)에서부터 전파되는 전위밀도를 감소시켜 발광소자의 역방향 파괴전압(reverse breakdown voltage, V_{br})을 개선하는 효과를 얻을 수 있다.

이하에서는 도 4를 참조하여, 본 실시예에 따른 질화물 반도체 발광소자의 제조 방법을 상세히 설명한다.

상기 사파이어 기판(402) 위에 저온의 성장온도에서 GaN계 질화물 반도체의 버퍼층(404)을 성장시킨다. 여기서, 저온의 성장온도에서 GaN계 질화물 반도체의 상기 버퍼층(404)은, InGaN/GaN 초격자 구조 및 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$, $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}/\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ 의 적층구조 등으로 형성시킬 수 있다.

이와 같이, 상기 기판(402) 위에 상기 버퍼층(404)이 형성됨에 따라, 상기 기판(402) 위에 성장되는 GaN계 단결정 박막과의 열팽창계수 및 격자상수의 불일치에 의해서 발생하는 결정결함을 효과적으로 억제시켜 고품질의 GaN계 질화물 반도체를 성장시킬 수 있는 기반을 갖추 수 있게 된다.

그리고, 상기 성장된 버퍼층(404) 위에 고온의 성장온도에서 인듐(In)이 도핑된 GaN층(406)을 성장시킨다. 그리고, 상기 기판(404)과의 격자상수 및 열팽창 계수의 차이에서 발생하는 결정결함을 최소화 시키기 위해서 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조를 갖는 층(408)을 추가로 형성시킨다.

이와 같은 구조는 기판(402)과 저온의 버퍼층(404)에서부터 전파되는 전위밀도를 감소시켜 발광소자의 역방향 파괴전압(reverse breakdown voltage, V_{br})을 개선하여 신뢰성을 향상시킬 수 있게 된다.

그리고, 결정결함을 더욱 최소화하기 위하여, 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층(408) 위에 인듐(In) 도핑된 GaN층(412)과, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층(414)을 더 형성시킨다.

이후, 실리콘(Si)과 인듐(In)이 동시 도핑된 GaN층(416)을 성장시킨다.

여기서, 상기 실리콘(Si)과 인듐(In)이 동시 도핑된 GaN층(416)은 제 1 전극층으로 이용된다.

이후, 원하는 파장 대역의 빛을 방출하는 활성층(424)에는 단일양자우물층(single quantum well)이 형성된다. 상세하게, 상기 활성층(424)은 활성층의 내부 양자효율을 향상시키기 위하여 먼저, 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 0.2$) 층(418)을 성장시킨다. 그리고, 상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(418) 위에 인듐 함량이 서로 다른, $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층(420)과 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층(426)으로 구성된 하나의 양자우물층이 성장되어 활성층으로 사용된다.

이때, 상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(418)과, $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 0.35$) 우물층(420)과, $\text{In}_z\text{Ga}_{1-z}\text{N}$ ($0 < z \leq 0.2$) 장벽층(422)로 형성되는 하나의 양자우물구조로 구성된 활성층(424)의 성장단계는, N_2 , H_2+N_2 캐리어 가스 및 NH_3 분위기에서 TMGa, TMIIn, TMAI 소스를 유입시켜 성장시킨다. 그리고, 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(418)의 두께는 $10\sim 500\text{\AA}$ 이며, 표면 성장 형상은 균일한 나선형상(spiral mode)으로 성장이 되도록 한다.

또한, 빛을 방출하는 상기 InGaN 우물층(420)과 InGaN 장벽층(422)의 두께는 각각 $10\sim 40\text{\AA}$ 및 $50\sim 500\text{\AA}$ 정도로 구성되며 성장온도는 $700\sim 800^\circ\text{C}$ 정도이다. 그리고, 고휘도 발광 다이오드의 성능 구현을 위해서는 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(418)의 표면에 균일하게 성장된 나선형상이 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층(422)까지 그 형태를 유지해야만 한다. 이와 같은 성장 조건을 만족시키는 경우에는, 다중우물구조의 활성층이 아닌 단일양자우물구조의 활성층 형성을 통해서도 실용적인 고휘도의 발광소자를 제조할 수 있게 된다.

그리고, 빛을 방출하는 활성층을 성장시킨 후, 인듐(In)이 도핑된 GaN층(426) 및 Mg 원자가 도핑된 p-GaN 단결정층(428)을 성장시킨다. 여기서, 상기 p-GaN 층(428)의 두께는 $500\sim 5000\text{\AA}$ 이며, 이때 성장온도는 $900\sim 1020^\circ\text{C}$ 범위에서 수행된다.

이후, 상기 p-GaN 층(428)을 성장시킨 후, 그 위에 제 2 전극층(430)으로 사용되는 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 0.2$)/ $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 0.2$) 초격자 구조의 층을 성장시켜 터널링 효과를 갖게 한다. 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}$ / $\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조는 제 2 전극층(430)의 전류 퍼짐을 효과적으로 수행하며, 상기 제 1 전극층(416)과 동일한 전극 금속을 사용하여 형성시킬 수 있다는 장점이 있다.

본 실시예에 따른 질화물 반도체 발광소자에 의하면, 상기 제 1 전극층(416)과 제 2 전극층(430)은 n형/n형의 전극층으로 형성된다. 따라서, 종래 질화물 반도체 발광소자에서 제 1 전극층과 제 2 전극층이 n형/p형으로 형성됨에 따라, 제 2

전극층으로 사용되는 p-GaN층의 낮은 Mg 도핑 효율에 의해서 발생되었던 높은 접촉저항과 그에 수반되는 전류 퍼짐층(current spreading layer)을 제거할 수 있다.

그리고, 상기 p-GaN층(428)과의 관계를 고려하면, 상기 제 1 전극층(416), p-GaN층(428), 제 2 전극층(430)은 n형/p형/n형의 접합 관계를 갖는 것으로 표현할 수도 있다. 여기서, 상기 제 2 전극층(430)의 두께는 각각 2~50Å으로 교대로 구성되며 최대 200Å 미만으로 구성된다. 또한, 성장온도는 700~850°C 범위 내이며 N₂, N₂+H₂와 NH₃ 가스 및 TMGa, TMin 소스를 유입시켜 성장시켜, 내부 양자효율 및 동작 전압 특성이 우수한 이중 접합 구조의 고휘도 발광 다이오드를 성장시킬 수 있게 된다.

산업상 이용 가능성

이상의 설명에서와 같이 본 발명에 따른 질화물 반도체 발광소자 및 그 제조방법에 의하면, 다중의 버퍼층에 의해서 사파이어 기판위에 성장되는 GaN계 단결정 박막과의 열팽창계수 및 격자상수의 불일치에 의해서 발생하는 결정결함을 효과적으로 억제하여 고품질의 GaN계 질화물 반도체를 성장시킬 수 있다. 특히, 제 1 전극층으로 사용되는 실리콘 인듐이 동시 도핑된 GaN의 하측에 In_xGa_{1-x}N/In_yGa_{1-y}N 초격자 구조가 삽입됨으로써, 결정결함을 더욱 억제시킬 수 있다.

또한, 활성층의 내부양자효율을 높이기 위하여 인듐함량이 낮은 In_xGa_{1-x}N층이 삽입되어 양자우물의 성장모드를 균일하게 제어할 수 있는 효과가 있다. 그리고, In_xGa_{1-x}N/In_yGa_{1-y}N 초격자 구조가 제 2 전극층으로 사용됨으로써, 동작전압을 감소시킬 수 있다. 결국, 질화물 반도체 발광소자의 결정결함을 줄이고 GaN계 단결정층의 결정성을 향상시킴으로써, 그 성능을 향상시키고 신뢰성을 확보할 수 있는 장점이 있다.

특허청구범위

1.

기판;

상기 기판 위에 형성된 버퍼층;

5 상기 버퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층;

상기 제 1 In-doped GaN층 위에 형성된 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자

구조층;

상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층 위에 형성된 제 1 전극층;

상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층;

10 상기 활성층 위에 형성된 인듐이 도핑된 제 2 In-doped GaN층;

상기 제 2 In-doped GaN층 위에 형성된 GaN층; 및

상기 GaN층 위에 형성된 제 2 전극층이 포함되는 질화물 반도체 발광소자.

2.

15 제 1 항에 있어서,

상기 제 2 전극층은 n형 인 질화물 반도체 발광소자.

3.

제 1 항에 있어서,

20 상기 GaN계 버퍼층은, InGaN/GaN 초격자 구조, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$, 및 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}/\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ 의 적층구조 중에서 하나의 구조로 형성되는 질화물 반도체 발광소자.

4.

25 제 1 항에 있어서,

상기 제 1 전극층은 실리콘과 인듐이 동시 도핑된 GaN층인 질화물 반도체 발광소자.

5.

30 제 1 항에 있어서,

상기 활성층은 단일양자우물구조 또는 다중양자우물구조로 형성되는 질화물 반도체 발광소자.

6.

제 1 항에 있어서,

상기 활성층은, 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과, $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층과, $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층으로 형성되는 단일양자우물구조 또는 다중양자우물구조로 구성되는 질화물 반도체 발광소자.

7.

제 6 항에 있어서,

상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층에 도핑되는 인듐 함량은 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층에 도핑되는 인듐 함량이 비하여 더 작은 값을 갖는 질화물 반도체 발광소자.

8.

제 6 항에 있어서,

상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층, $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층에 도핑되는 인듐 함량은, $0 < x < 0.05$, $0 < y < 0.3$, $0 < z < 0.1$ 의 값을 갖는 질화물 반도체 발광소자.

9.

제 6 항에 있어서,

상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되는 질화물 반도체 발광소자.

10.

제 6 항에 있어서,

상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되며, 그 나선형상은 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층 표면까지 연장되어 성장되는 질화물 반도체 발광소자.

11.

제 1 항에 있어서,

상기 제 2 전극층은 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조(super lattice structure)로 형성되는 질화물 반도체 발광소자.

12.

제 1 항에 있어서,

상기 인듐이 도핑된 제 1 In-doped GaN층과, 상기 제 1 In-doped GaN층
위에 형성된 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층이 복수로 반복되어 적층되는
질화물 반도체 발광소자.

13.

기판;

상기 기판 위에 형성된 버퍼층;

상기 버퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층;

상기 제 1 In-doped GaN층 위에 형성된 제 1 전극층;

상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층;

상기 활성층 위에 형성된 GaN층; 및

상기 GaN층 위에 형성된 제 2 전극층이 포함되는 질화물 반도체 발광소자.

14.

제 13 항에 있어서,

상기 제 2 전극층은 n형인 질화물 반도체 발광소자.

15.

제 13 항에 있어서,

상기 활성층과 상기 p-GaN층 사이에, 인듐이 도핑된 제 2 In-doped GaN층이
더 형성되는 질화물 반도체 발광소자.

16.

제 13 항에 있어서,

상기 제 1 In-doped GaN층과 상기 제 1 전극층 사이에, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$
초격자 구조층이 더 형성된 것을 특징으로 하는 질화물 반도체
발광소자.

17.

제 13 항에 있어서,

상기 제 1 In-doped GaN층과 상기 제 1 전극층 사이에, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$

$xN/InyGa_{1-y}N$ 초격자 구조층과, undoped GaN층이 더 형성되는 질화물 반도체 발광소자.

18.

5 제 13 항에 있어서,

상기 GaN계 버퍼층은, $InGaN/GaN$ 초격자 구조, $InxGa_{1-x}N/GaN$, $AlxInyGa_{1-x,y}N/InxGa_{1-x}N/GaN$ 의 적층구조 중에서 하나의 구조로 형성되는 질화물 반도체 발광소자.

10 19.

제 13 항에 있어서,

상기 제 1 전극층은 실리콘과 인듐이 동시 도핑된 GaN층인 질화물 반도체 발광소자.

15 20.

제 13 항에 있어서,

상기 활성층은 단일양자우물구조 또는 다중양자우물구조로 형성되는 질화물 반도체 발광소자.

20 21.

제 13 항에 있어서,

상기 활성층은, 인듐 함량이 낮은 $InxGa_{1-x}N$ 층과 $InyGa_{1-y}N$ 우물층, $InzGa_{1-z}N$ 장벽층으로 형성되는 단일양자우물구조 또는 다중양자우물구조인 질화물 반도체 발광소자.

25 22.

제 21 항에 있어서,

상기 인듐 함량이 낮은 $InxGa_{1-x}N$ 층에 도핑되는 인듐 함량은, 상기 $InzGa_{1-z}N$ 장벽층에 도핑되는 인듐 함량이 비하여 더 작은 질화물 반도체 발광소자.

30 23.

제 21 항에 있어서,

상기 인듐 함량이 낮은 $InxGa_{1-x}N$ 층과 $InyGa_{1-y}N$ 우물층/ $InzGa_{1-z}N$

장벽층에 도핑되는 인듐 함량은, $0 < x < 0.05$, $0 < y < 0.3$, $0 < z < 0.1$ 의 값을 갖는 질화물 반도체 발광소자.

24.

5

제 21 항에 있어서,

상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되는 질화물 반도체 발광소자.

25.

10

제 21 항에 있어서,

상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되며, 그 나선형상은 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층 표면까지 연장되어 성장되는 질화물 반도체 발광소자.

26.

15

제 13 항에 있어서,

상기 제 2 전극층은 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조(super lattice structure)로 형성되는 질화물 반도체 발광소자.

27.

20

기판 위에 GaN 버퍼층을 형성하는 단계;

상기 버퍼층 위에 인듐이 도핑된 제 1 In-doped GaN층을 형성하는 단계;

상기 제 1 In-doped GaN층 위에 제 1 전극층을 형성하는 단계;

상기 제 1 전극층 위에, 빛을 방출하는 활성층을 형성하는 단계;

25

상기 활성층 위에 GaN층을 형성하는 단계; 및

상기 GaN층 위에 제 2 전극층을 형성하는 단계가 포함되는 질화물 반도체 발광소자의 제조방법.

28.

30

제 27 항에 있어서,

상기 제 2 전극층은 n형인 질화물 반도체 발광소자의 제조방법.

29.

제 27 항에 있어서,

상기 제 1 전극층으로, 실리콘과 인듐이 동시 도핑된 GaN층을 형성하는 질화물 반도체 발광소자의 제조방법.

5 30.

제 27 항에 있어서,

상기 제 2 전극층으로, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조(super lattice structure)층을 형성하는 질화물 반도체 발광소자의 제조방법.

10 31.

제 27 항에 있어서,

상기 활성층으로, 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층은, $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층의 단일양자우물구조 또는 다중양자우물구조로 형성되는 질화물 반도체 발광소자의 제조방법.

15 32.

제 31 항에 있어서,

상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)이 되도록 성장시키는 질화물 반도체 발광소자의 제조방법.

20 33.

제 31 항에 있어서,

상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)이 되도록 성장시키며, 그 나선형상은 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층 표면까지 연결되도록 성장시키는 질화물 반도체 발광소자의 제조방법.

25 34.
기판;

상기 기판 위에 형성된 GaN 버퍼층;

30 상기 버퍼층 위에 형성된 제 1 전극층;

상기 제 1 전극층 위에 형성되고, 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층, $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층이 포함되는 활성층;

상기 활성층 위에 형성된 GaN층; 및

상기 GaN층 위에 형성된 제 2 전극층이 포함되는 질화물 반도체 발광소자.

35.

제 34 항에 있어서,

5 상기 제 2 전극층은 n형인 질화물 반도체 발광소자.

36.

제 34 항에 있어서

10 상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층에 도핑되는 인듐 함량은, 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층에 도핑되는 인듐 함량이 비하여 더 작은 질화물 반도체 발광소자.

37.

제 34 항에 있어서,

15 상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층에 도핑되는 인듐 함량은, $0 < x < 0.05$, $0 < y < 0.3$, $0 < z < 0.1$ 범위의 값을 갖는 질화물 반도체 발광소자.

38.

제 34 항에 있어서,

20 상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되는 질화물 반도체 발광소자.

39.

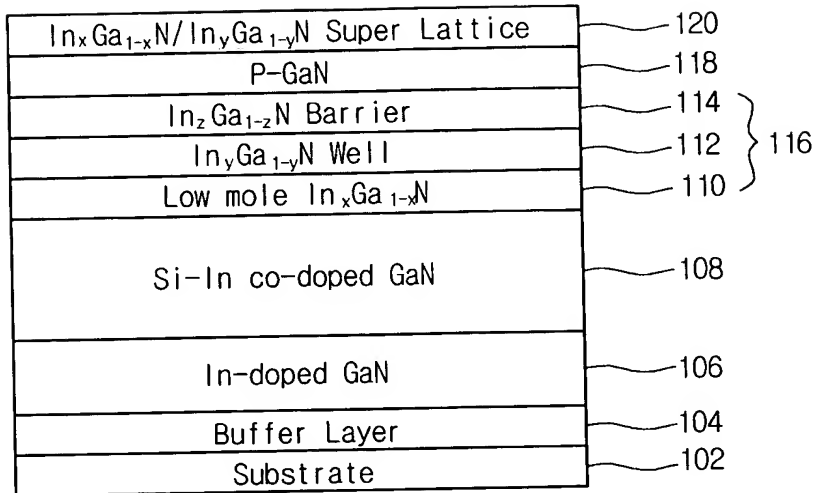
제 34 항에 있어서,

25 상기 인듐 함량이 낮은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되며, 그 나선형상은 상기 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층 표면까지 연장되어 성장되는 질화물 반도체 발광소자.

요약서

본 발명은 기판; 상기 기판 위에 형성된 GaN계 버퍼층; 상기 버퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층; 상기 제 1 In-doped GaN층 위에 형성된 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층; 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층 위에 형성된 n형의 제 1 전극층; 상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층; 상기 활성층 위에 형성된 인듐이 도핑된 제 2 In-doped GaN층; 상기 제 2 In-doped GaN층 위에 형성된 p-GaN층; 및 상기 p-GaN층 위에 형성된 n형의 제 2 전극층이 포함되는 질화물 반도체 발광소자이다. 본원 발명에 의해서 질화물 반도체 발광소자의 결정결함을 줄이고 GaN계 단결정층의 결정성을 향상시킴으로써, 그 성능을 향상시키고 신뢰성을 확보할 수 있는 장점이 있다.

도 1



도 2

In _x Ga _{1-x} N/In _y Ga _{1-y} N Super Lattice	224	
P-GaN	222	
In _z Ga _{1-z} N Barrier	218	} 220
In _y Ga _{1-y} N Well	216	
Low mole In _x Ga _{1-x} N	214	
Si-In co-doped GaN	212	
In _x Ga _{1-x} N/In _y Ga _{1-y} N Super Lattice	210	
Undoped GaN	208	
In-doped GaN	206	
Buffer Layer	204	
Substrate	202	

도 3

In _x Ga _{1-x} N/In _y Ga _{1-y} N Super Lattice	322	
P-GaN	320	
In-doped GaN	318	
In _z Ga _{1-z} N Barrier	314	} 316
In _y Ga _{1-y} N Well	312	
Low mole In _x Ga _{1-x} N	310	
Si-In co-doped GaN	308	
In-doped GaN	306	
Buffer Layer	304	
Substrate	302	

도 4

In _x Ga _{1-x} N/In _y Ga _{1-y} N Super Lattice	430
P-GaN	428
In-doped GaN	426
In _z Ga _{1-z} N Barrier	422
In _y Ga _{1-y} N Well	420
Low mole In _x Ga _{1-x} N	418
Si-In co-doped GaN	416
In _x Ga _{1-x} N/In _y Ga _{1-y} N Super Lattice	414
In-doped GaN	412
In _x Ga _{1-x} N/In _y Ga _{1-y} N Super Lattice	408
In-doped GaN	406
Buffer Layer	404
Substrate	402

} 424